

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-158002

(43)Date of publication of application : 08.07.1991

(51)Int.Cl.

H01P 5/02

H01L 23/12

H01P 3/08

BEST AVAILABLE COPY

(21)Application number : 01-298037

(71)Applicant : NEC CORP

(22)Date of filing : 15.11.1989

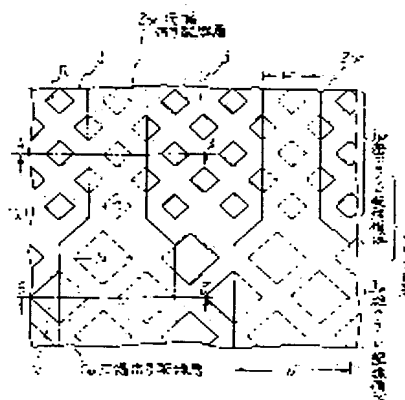
(72)Inventor : OTA TOSHIYUKI

(54) SEMICONDUCTOR DEVICE**(57)Abstract:**

PURPOSE: To facilitate the design of wiring and to decrease the wiring resistance by providing a mesh wiring layer with different density corresponding to at least one signal wiring in a ground layer or a power unit layer.

CONSTITUTION: A ground layer 3 consists of a dense ground layer 3w and a coarse ground layer 3w whose wiring density varies with 2 kinds of widths w, W of a signal wiring layer 2 and the capacitance between both the wiring layers is made equal independently of the density of the ground layers. That is, the width (w) of the signals wiring layer 2w corresponding to the dense ground layer 3w is a half the width W of the signal wiring layer 2w. On the other hand, the wiring density of the dense grounds wiring region 3w is selected twice the wiring density of the coarse ground wiring region 3w. Thus, the capacitance between the wirings is equal in part A-A' and also part B-B', then the characteristic impedance of the microstrip line is equal to each other.

Thus, the wiring design is facilitated and the wiring resistance is decreased.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-158002

⑬ Int.Cl.⁵

H 01 P 5/02
H 01 L 23/12
H 01 P 3/08

識別記号

3 0 1 A
Z

庁内整理番号

8626-5J
7738-5F
8626-5J

⑭ 公開 平成3年(1991)7月8日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-298037

⑰ 出 願 平1(1989)11月15日

⑱ 発 明 者 太 田 敏 行 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

絶縁基板上にそれぞれ形成されたグラウンド層と電源層、及び広幅部と狭幅部の異なった幅を有する信号配線層とを所定の順に積層して形成されたLSIパッケージを含む半導体装置において、前記グラウンド層または前記電源層の少なくとも1つが、前記信号配線層の前記広幅部の及び狭幅部に対応して密度の粗いメッシュ配線パターン及び密度の密なメッシュ配線パターン領域を有することを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にマイクロストリップ線路を有する半導体装置に関する。

〔従来の技術〕

超LSI用の多層化パッケージにおいて、伝送特性の向上が重要である。

従来、例えばPGA(ピングリッドアレー)パッケージにLSIを実装するLSIパッケージは、セラミック基板上に形成された信号配線層及びグラウンド層及び電源層を積層して形成されていた。

ここで、グラウンド層及び電源層は連続パターン層いわゆるベタ層で形成され、また信号配線層は線幅の異なる部分を有していた。

〔発明が解決しようとする課題〕

従来の半導体装置のLSIパッケージでは、ICチップ付近とチップ実装部分のピッチの違い、配線抵抗の低減の理由からパッケージ内で信号配線の配線幅を変える必要性があったが、配線幅を変えると信号配線とグラウンド層または電源層の間に形成されたマイクロストリップ線路の特性インピーダンスが異なってしまうので、特に超高速LSIではインピーダンスの差による信号の反

射が起こり、特性が劣化するという大きな問題点を有していた。

本発明の目的は、超高速信号の伝送特性の良い半導体装置を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置は、絶縁基板上にそれぞれ形成されたグラウンド層と電源層、及び広幅部と狭幅部の異なった幅を有する信号配線層とを所定の順に積層して形成されたLSIパッケージを含む半導体装置において、前記グラウンド層または前記電源層の少なくとも1つが、前記信号配線層の前記広幅部の及び狭幅部に対応して密度の粗いメッシュ配線パターン及び密度の密なメッシュ配線パターン領域を有して構成されている。

〔実施例〕

次に、本発明の実施例について図面を用いて説明する。

第1図(a)～(c)は本発明の一実施例に使用しているPGAまたはフラットパッケージの積層セラミック層を除いて示した配線部分の一部の

光道である。

この式から配線間容量Cが等しければ特性インピーダンスも等しくなることが分かる。

本実施例では信号配線層2の幅w、Wにより、グラウンド層3は配線密度を変えた密グラウンド層3_oと粗グラント層3_uを有し、両配線間の容量が等しくなるようにしている。

そのことをより詳しく述べると、密グラウンド層3_oに対応する信号配線層2_oの幅wは信号配線層2_uの幅Wの1/2である。

それに対して密グラウンド配線領域3_oの配線密度は粗グラウンド配線領域3_uの配線密度の2倍にある。

このようにすればA-A'部でもB-B'部でも配線間の容量は等しくなり、よってマイクロストリップ線路の特性インピーダンスも等しくなる。

従って本実施例に示したPGAまたはフラットパッケージでは配線幅がwからWに変化しても、信号反射のほとんど無い高性能な伝送特性が得ら

れることが分かる。

ここで、グラウンド層の代りに電源層にメッシュ状配線パターンを用いても同様の効果が得られる。

〔発明の効果〕

以上で述べたように本発明では、グラウンド層又は電源層の少くとも一つに信号配線の幅に対応して密度の異なるメッシュ状配線層を設けたので、信号配線の配線幅が異なってもマイクロストリップ線路の特性インピーダンスが一致した高性能な配線が形成されるため、配線の設計が容易となるのみならず、配線抵抗を下げることもできるという利点も有している。

図面の簡単な説明

第1図(a)～(c)は本発明の一実施例の平面図、A-A'線及びB-B'線断面模式図である。

1…積層セラミック層、2_o…広幅信号配線層、2_u…狭幅信号配線層、3…グラウンド層、

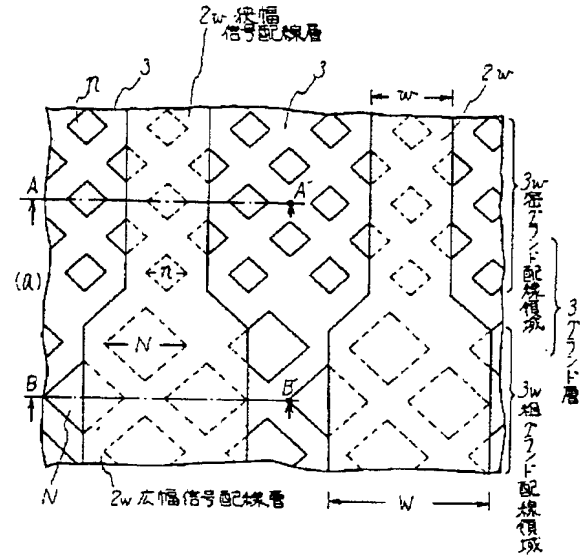
$$Z_o = (L/C)^{1/2} =$$

$$(e)^{1/2} / (c \cdot C) \quad \dots (1)$$

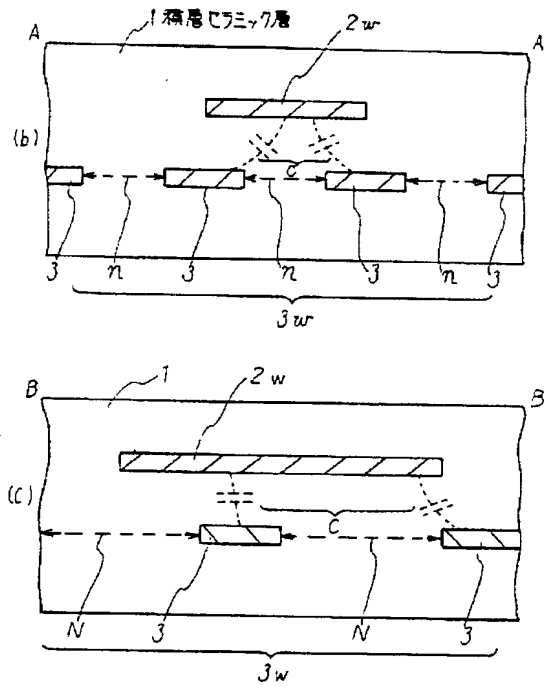
ここでLはインダクタンス、eは誘電率、cは

3...粗グランド配線領域、3...密グランド配線領域、W...広い信号配線層幅、w...狭い信号配線層幅。

代理人 井理士 内 原 晋



第 1 図



第 1 図